

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月29日
Date of Application:

出願番号 特願2003-368242
Application Number:
[ST. 10/C] : [JP2003-368242]

出願人 富士通株式会社
Applicant(s):

2004年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井康



出証番号 出証特2003-3109380

【書類名】 特許願
【整理番号】 0340903
【提出日】 平成15年10月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 【氏名】 吉田 淳
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 【氏名】 瀧呑 豊
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 【氏名】 阿部 裕之
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100092152
 【弁理士】
 【氏名又は名称】 服部 毅巖
 【電話番号】 0426-45-6644
【手数料の表示】
 【予納台帳番号】 009874
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9705176

【書類名】特許請求の範囲**【請求項1】**

多層配線の半導体装置において、
バイパスコンデンサが接続される第1の電源配線と、
前記バイパスコンデンサの位置に対応する部分が除かれた第2の電源配線と、
前記第1の電源配線と前記第2の電源配線とを接続するコンタクトと、
を有することを特徴とする半導体装置。

【請求項2】

前記コンタクトは、複数設けられることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記コンタクトは、前記第2の電源配線の端に配置されることを特徴とする請求項1記載の半導体装置。

【請求項4】

前記コンタクトの幅は、前記第1の電源配線および前記第2の電源配線の幅より大きくすることを特徴とする請求項1記載の半導体装置。

【請求項5】

前記バイパスコンデンサは、電源が供給される回路の近くに配置されることを特徴とする請求項1記載の半導体装置。

【請求項6】

前記回路は、半導体チップの周囲に配置されるI/Oセルであることを特徴とする請求項5記載の半導体装置。

【請求項7】

前記バイパスコンデンサは、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の表面に前記ゲート電極を挟んで形成されたソース・ドレイン領域とを有するトランジスタであり、

前記第1の電源配線は前記トランジスタの前記ソース・ドレイン領域又は前記ゲート電極のいずれか一方と接続されていることを特徴とする請求項1記載の半導体装置。

【請求項8】

前記第2の電源配線は、前記第1の電源配線よりも上層の配線層に形成されていることを特徴とする請求項1記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は半導体装置に関し、特にバイパスコンデンサで電源配線に乗るノイズを低減する半導体装置に関する。

【背景技術】

【0002】

半導体装置には、内部にバイパスコンデンサを有したものがある。電源のふらつきや電源配線を伝播する高周波ノイズによって、内部の回路が誤動作をしないようにするために。このようなバイパスコンデンサとして、多層化された第1配線層および第2配線層を設け、第1配線層を第1電源配線に用い、第2配線層を第2電源配線に用い、第1電源配線と第2電源配線を互いに重ねて配置し、第1電源配線と第2電源配線によって得られる容量により、半導体装置内部にバイパスコンデンサを構成したものがある（例えば、特許文献1参照）。

【0003】

デジタル多層基板上のコモンモードノイズ対策として、回路の電源間にバイパスコンデンサを挿入する手法がある。回路のスイッチングに必要な高周波電流は、配線層の電源配線から供給されるが、バイパスコンデンサが無いとすると、電源配線と回路の間にあるインダクタンス分の影響で電圧変動が生じ、パルス性のノイズが発生する。そこで、インダクタンス分ができるだけ小さくなるように回路の近傍にバイパスコンデンサを配置する。すなわち、直流電流を一旦バイパスコンデンサに蓄積して、回路に必要な高周波電流を安定して供給する。これによって、高周波ノイズ源となる電源電流の変動が抑えられることになり、デジタル多層基板上に伝わるコモンモードノイズは小さくなる。

【0004】

図3は、従来の半導体装置の断面図である。

図に示すように半導体装置は、バイパスコンデンサ101の上方に、コンタクト102で接続された上下2層の電源配線103a, 103bと、コンタクト104で接続された上下2層の電源配線105a, 105bが形成されている。また、電源配線103a, 105aの上方には、NAND回路106が形成されている。

【0005】

バイパスコンデンサ101は、MOSのトランジスタによって構成される。バイパスコンデンサ101は、P型の半導体基板101aと、半導体基板101aの表面に形成された2つのN型領域101b, 101cと、N型領域101b, 101cの間の上面にゲート絶縁膜を挟んで形成されたゲート電極101dとによって構成されている。ゲート電極101dと、N型領域101b, 101cの一方とがバイパスコンデンサ101の端子となる。

【0006】

電源配線103a, 103bは、コンタクト102によって接続され、電源の一方の極と接続されている。そして、下層の電源配線103bが、バイパスコンデンサ101のN型領域101bと接続されている。電源配線105a, 105bは、コンタクト104によって接続され、電源の他方の極と接続されている。そして、下層の電源配線105bが、バイパスコンデンサ101のゲート電極101dと接続されている。

【0007】

NAND回路106は、電源配線103a, 105aから電源の供給を受けて動作をする。バイパスコンデンサ101は、電源配線103a, 103b, 105a, 105bに乘るノイズを有効に除去できるよう、NAND回路106の近傍に配置される。

【0008】

図4は、従来の別の半導体装置の平面図である。

図に示すようにパッケージ111に半導体チップ112が搭載されている。半導体チッ

プリ2には、バイパスコンデンサ113a, 113b、I/Oセル114a, 114b、電源配線115a, 115b、およびパッド116a, 116bが形成されている。パッケージ111には、リード117a, 117bが設けられている。パッド116a, 116bとリード117a, 117bには、ボンディングによってワイヤ118a, 118bが接続されている。

【0009】

電源配線は、2層の多層配線となっている。図においては上層の電源配線115a, 115bのみが示してある（下層の電源配線は上層の電源配線115a, 115bに隠れている）。I/Oセル114a, 114bは、電源配線115a, 115bの下層の電源配線と接続され、電源が供給されている。

【0010】

I/Oセル114a, 114bから出力される信号は、パッド116a, 116b、ワイヤ118a, 118b、リード117a, 117bへと出力される。外部からリード117a, 117bに入力される信号は、ワイヤ118a, 118b、パッド116a, 116b、I/Oセル114a, 114bへと入力される。

【0011】

I/Oセル114a, 114bは、電源配線115a, 115bから電源供給を受け、入出力される信号を増幅する。バイパスコンデンサ113a, 113bは、電源配線115a, 115bに乗るノイズを有効に除去できるよう、I/Oセル114a, 114bの近傍に配置される。

【特許文献1】特開平9-64284号公報（段落番号【0019】～【0022】、図1）

【発明の開示】

【発明が解決しようとする課題】

【0012】

ところで、バイパスコンデンサと接続されていない電源配線から見ると、バイパスコンデンサと接続されている電源配線のインピーダンスは、バイパスコンデンサと接続されていない電源配線よりコンタクト分高くなる。そのため、多層配線においては、バイパスコンデンサと接続されていない電源配線にノイズが乗った場合、ノイズはバイパスコンデンサと接続されていない電源配線を伝搬するため、バイパスコンデンサで効率よく除去されないという問題点があった。

【0013】

本発明はこのような点に鑑みてなされたものであり、ノイズをバイパスコンデンサで効率よく除去することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明では上記問題を解決するために、図1に示すような多層配線の半導体装置において、バイパスコンデンサ1が接続される第1の電源配線2, 3と、バイパスコンデンサ1の位置に対応する部分が除かれた第2の電源配線4a, 4b, 5a, 5bと、第1の電源配線2, 3と第2の電源配線4a, 4b, 5a, 5bとを接続するコンタクト6a, 6b, 7a, 7bと、を有することを特徴とする半導体装置が提供される。

【0015】

このような半導体装置によれば、第2の電源配線4a, 4b, 5a, 5bは、バイパスコンデンサ1の位置に対応する部分が除かれている。そして、第2の電源配線4a, 4b, 5a, 5bは、コンタクト6a, 6b, 7a, 7bによって、バイパスコンデンサ1と接続された第1の電源配線2, 3と接続されている。よって、第2の電源配線4a, 4b, 5a, 5bを伝搬するノイズは、コンタクト6a, 6b, 7a, 7bを介して、バイパスコンデンサ1と接続された第1の電源配線2, 3を伝搬する。

【発明の効果】

【0016】

本発明の半導体装置では、バイパスコンデンサと接続される第1の電源配線に、バイパスコンデンサの位置に対応する部分が除かれた第2の電源配線をコンタクトで接続するようにした。これによって、第2の電源配線を伝搬するノイズは、バイパスコンデンサと接続された第1の電源配線を伝搬するので、ノイズをバイパスコンデンサで効率よく除去することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態を図面を参照して詳細に説明する。

図1は、第1の実施の形態に係る半導体装置の断面図である。

図に示すように半導体装置は、バイパスコンデンサ1、電源配線2, 3, 4a, 4b, 5a, 5b、コンタクト6a, 6b, 7a, 7b, 8a, 8b, 10a, 10b、およびNAND回路9を有している。

【0018】

バイパスコンデンサ1は、MOSのトランジスタによって構成される。バイパスコンデンサ1は、P型の半導体基板1aと、半導体基板1aの表面に形成されたソースおよびドレインとなる2つのN型領域1b, 1cと、および2つのN型領域1b, 1cの間の上面に、ゲート絶縁膜を挟んで形成されたゲート電極1dとによって構成されている。N型領域1bと、ゲート電極1dとが、バイパスコンデンサ1の端子となっている。

【0019】

電源配線2, 3, 4a, 4b, 5a, 5bは、バイパスコンデンサ1の上方に配線されている。電源配線2, 4a, 4bには、電源の一方の極、例えば、正極の電圧が印加される。電源配線3, 5a, 5bには、電源の他方の極、例えば、負極の電圧が印加される。

【0020】

電源配線2, 3, 4a, 4b, 5a, 5bは、多層配線となっている。正極の配線においては、電源配線2が下層、電源配線4a, 4bが上層となっている。上層の電源配線4a, 4bは、バイパスコンデンサ1の上方に対応する部分が除かれている。負極の配線においては、電源配線3が下層、電源配線5a, 5bが上層となっている。上層の電源配線5a, 5bは、バイパスコンデンサ1の上方に対応する部分が除かれている。

【0021】

コンタクト6a, 6bは、配線が除かれている側（バイパスコンデンサ1が位置する側）の電源配線4a, 4bの端に形成されている。コンタクト6a, 6bは、電源配線4a, 4bと電源配線2とを接続している。コンタクト7a, 7bは、配線が除かれている側の電源配線5a, 5bの端に形成されている。コンタクト7a, 7bは、電源配線5a, 5bと電源配線3とを接続している。

【0022】

コンタクト6a, 6b, 7a, 7bの幅は、電源配線2, 3の幅より大きくなるように形成する。例えば、電源配線2, 3の幅が $10\mu m$ であれば、コンタクト6a, 6b, 7a, 7bの幅を $30\mu m$ の幅にする。現在、電源配線を含む配線のパターンルールは、細線化へと向かっているが、コンタクト6a, 6b, 7a, 7bの幅を、電源配線4a, 4b, 5a, 5bの幅より大きくすることによって、コンタクト6a, 6b, 7a, 7bの経路のインピーダンス低下を防ぐ。これによって、ノイズは、バイパスコンデンサ1と接続された下層の電源配線2, 3に流れやすくなり、効率よくノイズを除去できる。

【0023】

コンタクト8aは、電源配線2とバイパスコンデンサ1のN型領域1bとを接続している。コンタクト8bは、電源配線3とバイパスコンデンサ1のゲート電極1dとを接続している。これによって、バイパスコンデンサ1には、正極の電源配線2と、負極の電源配線3とが接続される。

【0024】

NAND回路9は、コンタクト10a, 10bによって電源配線4b, 5bと接続されている。これにより、NAND回路9に電源が供給される。バイパスコンデンサ1は、電

源のふらつきや電源配線2, 3, 4a, 4b, 5a, 5bを伝播する高周波ノイズを効果的に除去するため、NAND回路9の近くに配置するようになる。なお、NAND回路9は、バイパスコンデンサが使用される一例である。他の例として、例えば、CPUのコア回路の近くに、バイパスコンデンサ1を配置するようになる。

【0025】

このように、バイパスコンデンサ1と接続されていない電源配線4a, 4b, 5a, 5bのバイパスコンデンサ1の上方に対応する部分を除いた。そして、コンタクト6a, 6b, 7a, 7bを介して、バイパスコンデンサ1と接続されている電源配線2, 3に接続するようになる。これによって、バイパスコンデンサ1と接続されていない電源配線4a, 4b, 5a, 5bを伝搬するノイズは、コンタクト6a, 6b, 7a, 7bを介して、バイパスコンデンサ1と接続された電源配線2, 3を伝搬するので、ノイズをバイパスコンデンサ1で効率よく除去することができる。

【0026】

また、ノイズが効率よく除去できることによって、回路の誤動作を防止することができる。

さらに、コンタクト6a, 6b, 7a, 7bを、配線が除かれている側の電源配線4a, 4b, 5a, 5bの端に配置して、下層の電源配線2, 3に接続することにより、電源配線2, 3のバイパスコンデンサ1から離れた所に、ノイズが不要に乗ることを防止できる。

【0027】

なお、コンタクト6a, 6b, 7a, 7bの数は複数であってもよい。例えば、電源配線4aと電源配線2、電源配線4bと電源配線2、電源配線5aと電源配線3、および電源配線5bと電源配線3を接続するコンタクトの数を2つにしてもよい。これによって、上層の電源配線4a, 4b, 5a, 5bから下層の電源配線2, 3への経路のインピーダンスが低減される。

【0028】

また、図1では、バイパスコンデンサ1の上方に電源配線2, 3, 4a, 4b, 5a, 5bを配線しているが、バイパスコンデンサ1の下方に電源配線2, 3, 4a, 4b, 5a, 5bを配線するようにしてもよい。また、上層の電源配線4a, 4b, 5a, 5bの、バイパスコンデンサ1の位置に対応する部分を除かずに、下層の電源配線2, 3の、バイパスコンデンサ1の位置に対応する部分を除くようにしてもよい。この場合、バイパスコンデンサ1は、上層の電源配線4a, 4b, 5a, 5bと接続するようになる。

【0029】

次に、本発明の第2の実施の形態に係る半導体装置を図面を参照して説明する。

図2は、第2の実施の形態に係る半導体装置の平面図である。

図に示すように半導体装置は、パッケージ22に半導体チップ21が搭載されている。半導体チップ21には、バイパスコンデンサ11a, 11b、電源配線12, 13, 14a～14c, 15a～15c、I/Oセル16a, 16b、配線17a, 17b、パッド18a, 18bが形成されている。パッケージ22には、半導体装置が基板に実装されるとき、基板上の配線と接続されるリード20a, 20bが設けられている。パッド18a, 18bとリード20a, 20bには、ボンディングによって、ワイヤ19a, 19bが接続されている。

【0030】

I/Oセル16a, 16bは、半導体チップ21の周囲に配置されるバッファであり、半導体チップ21に入出力される信号を增幅する。I/Oセル16a, 16bは、配線17a, 17bによってパッド18a, 18bと接続されている。これによって、I/Oセル16a, 16bから出力される信号は、パッド18a, 18b、ワイヤ19a, 19b、リード20a, 20bへと出力される。外部からリード20a, 20bに入力される信号は、ワイヤ19a, 19b、パッド18a, 18b、I/Oセル16a, 16bへと入力される。

【0031】

バイパスコンデンサ11a, 11b、I/Oセル16a, 16bの上には、電源配線12, 13が配線されている。電源配線12, 13は、バイパスコンデンサ11a, 11bとコンタクトによって接続されている。電源配線12, 13の上方には、バイパスコンデンサ11a, 11bの上方に対応する部分が除かれた電源配線14a～14c、15a～15cが配線されている。図中において、バイパスコンデンサ11a, 11bの部分では、下層の電源配線12, 13は見えるため示してあるが、それ以外の部分では、上層の電源配線14a～14c, 15a～15cによって隠れるため示されていない。

【0032】

上層の電源配線14a～14c, 15a～15cは、配線の除かれている側の端において、下層の電源配線12, 13とコンタクトによって接続されている。電源配線12, 14a～14cには、電源の一方の極、例えば、正極の電圧が印加される。電源配線13, 15a～15cには、電源の他方の極、例えば、負極の電圧が印加される。I/Oセル16a, 16bは、下層の電源配線12, 13とコンタクトによって接続されている。よって、I/Oセル16a, 16bに電源が供給される。

【0033】

このように、半導体チップの周囲に配置されるI/Oセル16a, 16bにおいても、上層の電源配線14a～14c、15a～15cのバイパスコンデンサ11a, 11bの上方に対応する部分を除く。そして、コンタクトによって、下層の電源配線12, 13に接続するようにした。これによって、上層の電源配線14a～14c、15a～15cに伝搬するノイズは、コンタクトを介して、バイパスコンデンサ11a, 11bと接続された下層の電源配線12, 13を伝搬するので、ノイズをバイパスコンデンサ11a, 11bで効率よく除去することができる。

【図面の簡単な説明】

【0034】

【図1】第1の実施の形態に係る半導体装置の断面図である。

【図2】第2の実施の形態に係る半導体装置の平面図である。

【図3】従来の半導体装置の断面図である。

【図4】従来の別の半導体装置の平面図である。

【符号の説明】

【0035】

1, 11a, 11b バイパスコンデンサ

2, 3, 4a, 4b, 5a, 5b, 12, 13, 14a～14c, 15a～15c 電源配線

6a, 6b, 7a, 7b, 8a, 8b, 10a, 10b コンタクト

9 NAND回路

16a, 16b I/Oセル

17a, 17b 配線

18a, 18b パッド

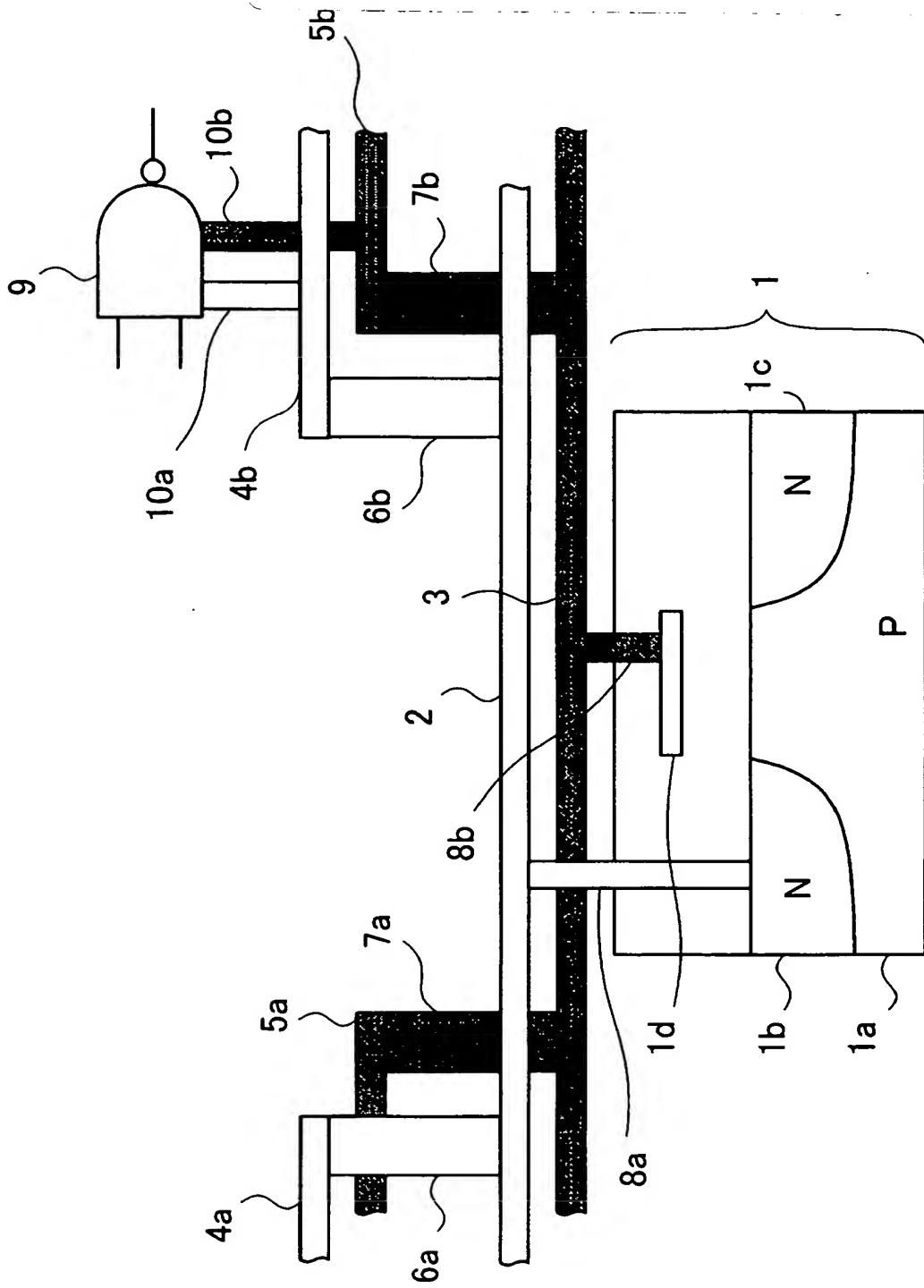
19a, 19b ワイヤ

20a, 20b リード

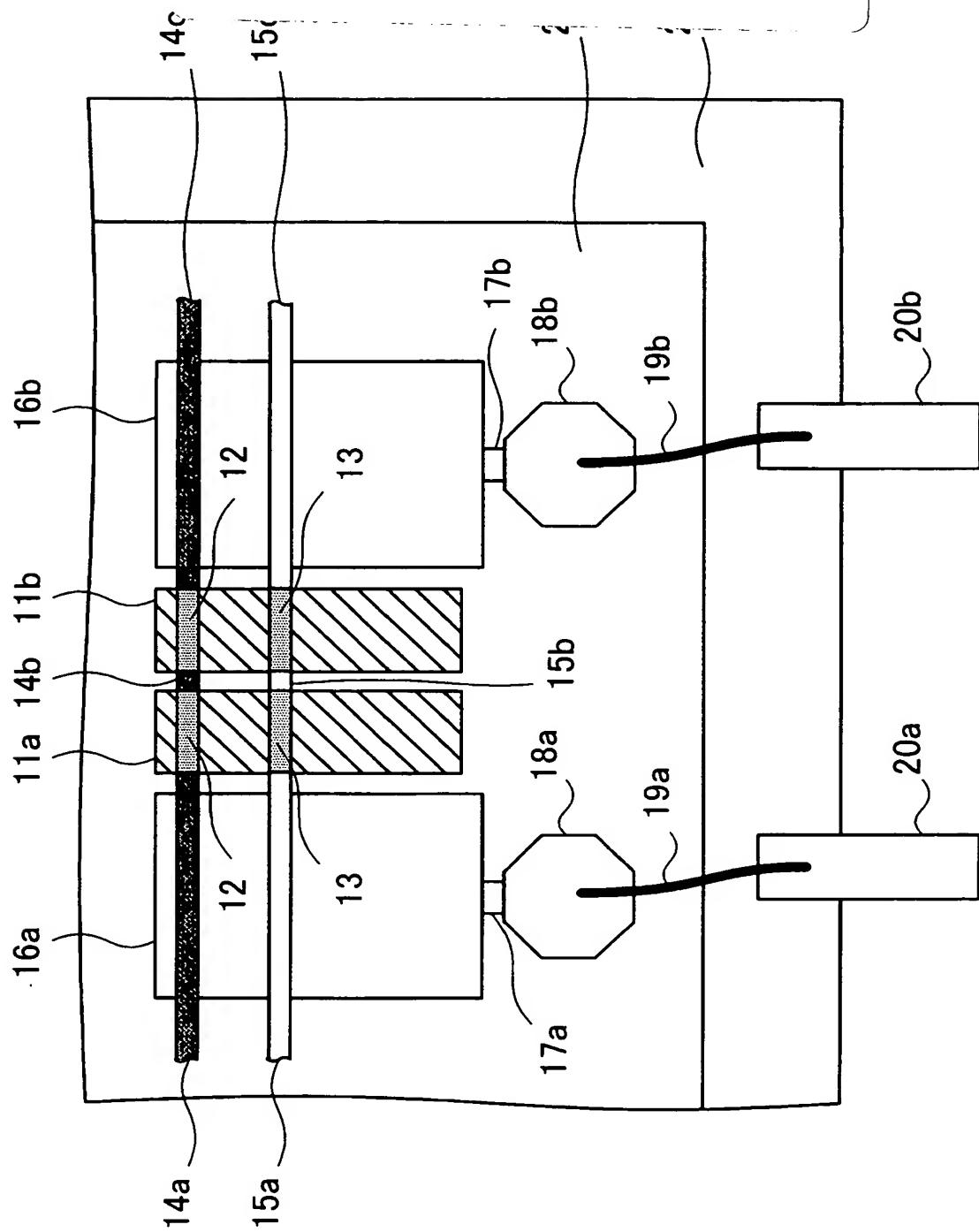
21 半導体チップ

22 パッケージ

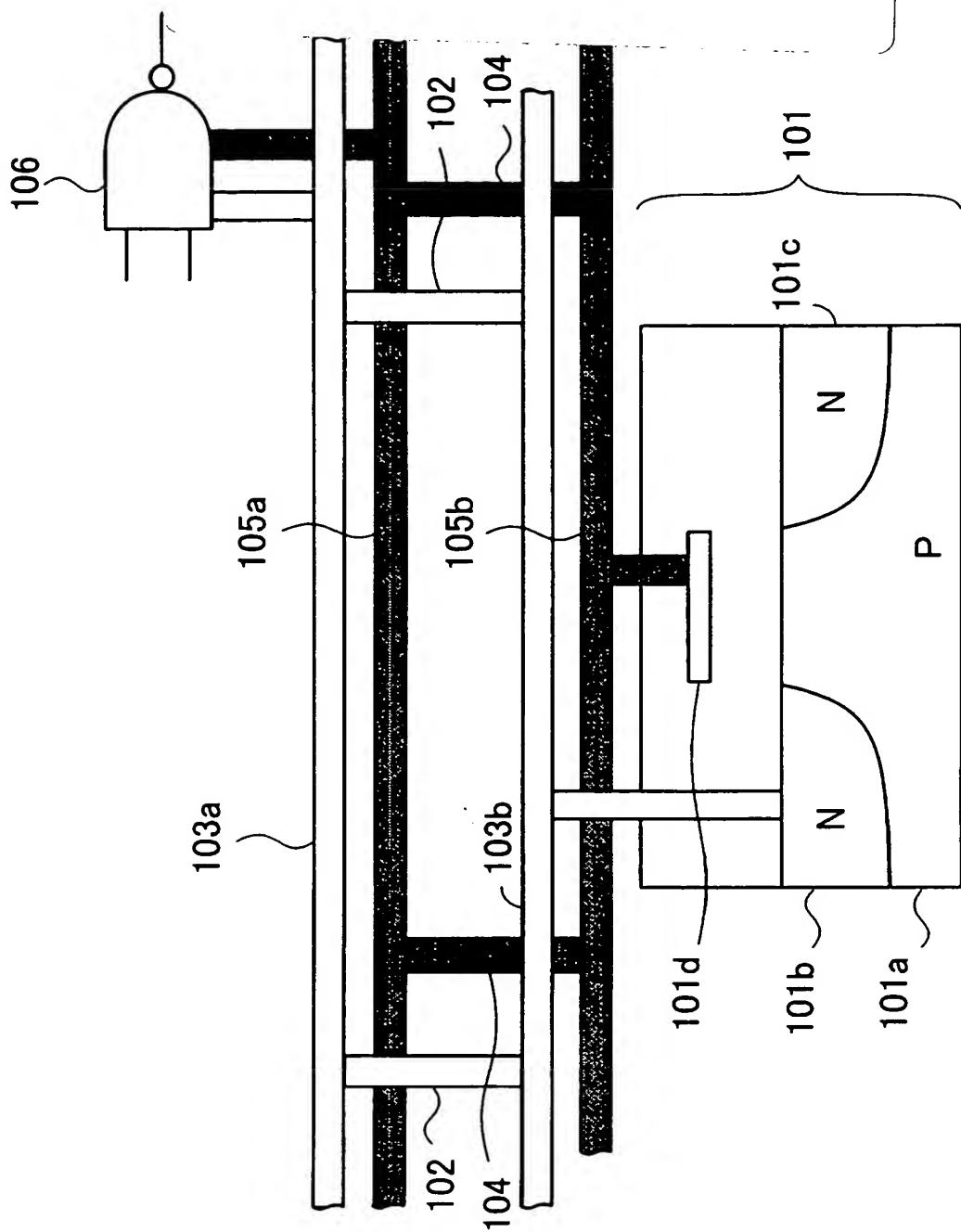
【書類名】 図面
【図 1】



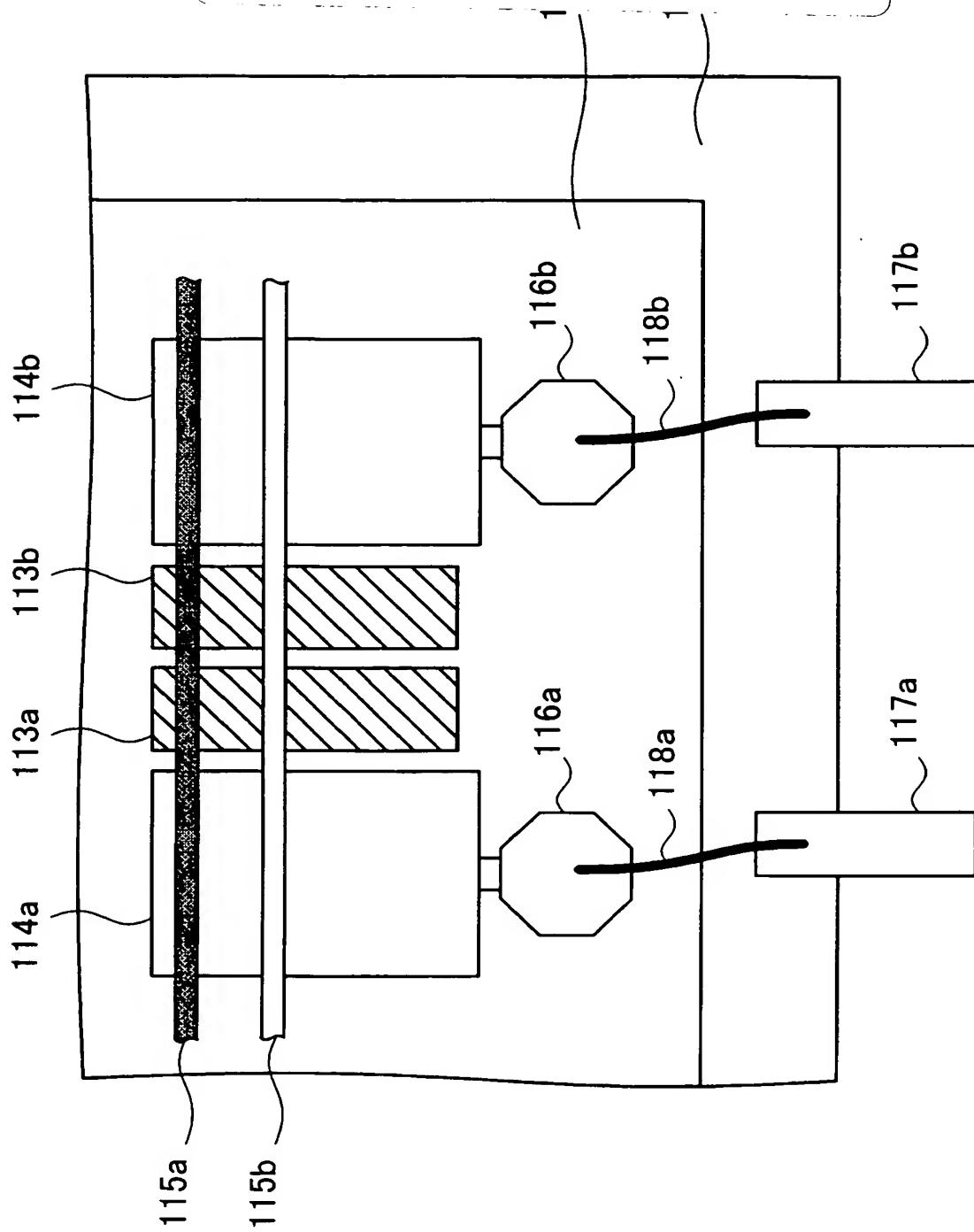
【図 2】



【図 3】



【図 4】



【書類名】要約書

【要約】

【課題】 多層の電源配線を伝搬するノイズをバイパスコンデンサで効率よく除去する。

【解決手段】 電源配線2, 3は、バイパスコンデンサ1が接続される配線である。電源配線4a, 4b, 5a, 5bは、バイパスコンデンサ1の位置に対応する部分が除かれた配線である。コンタクト6a, 6b, 7a, 7bは、電源配線2, 3と電源配線4a, 4b, 5a, 5bとを接続する。これによって、電源配線4a, 4b, 5a, 5bにノイズが乗った場合、ノイズは電源配線2, 3に伝搬され、バイパスコンデンサ1で効率よく除去される。

【選択図】 図1

特願2003-368242

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社